

강의계획서 (SYLLABUS)

1. 과목개요

강좌명 (Course Title)	학부생연구인턴A 학부생연구인턴B	담당교수 (Instructor)	송인철	동영상강의 계획서	없음
년도 (Year)	2025학년도	학기 (Semester)	여름학기	과목코드 (Course No.)	2150084701 2150093601
분반 (Class)	01	수강대상학과 (Open to)	전체	이수구분 (Course Classification)	전선-차세대반도체
학점/주당시간	1.0 (0) /2	성적스케일	점수 100기준 입력	성적평가방식	P/F 평가
교과목유형	이론 & 실습	강의언어	한국어	상담 신청 방법	e-mail
교수실 (Office)	TBD	연락처 (Telephone)	02-828-7489	이메일 (e-mail)	inchul.song@ssu.ac.kr
강좌형식	강의/실습/발표	수업유형	대면	동영상 제작년도	-
공학인증 교과목 관련 항목	교과영역(*) (ABEEK Classification)			인증구분(*) (ABEEK Requirement)	
필수 선수과목	1) Verilog HDL coding 관련 과목				
권장 선수과목	1) Digital System Design 관련 과목 2) SoC architecture 관련 과목				
교과목 개요 (Course Description)	대부분의 SoC에 사용되는 ARM bus protocol(AMBA protocol specification)을 이해하고, ARM bus interface를 갖는 HW IP를 Verilog-HDL을 사용하여 설계 및 검증한다.				

교육목표	전공특화역량
SoC의 구조 및 SoC에 사용되는 bus architecture를 이해하고, SoC의 일부로 사용될 수 있는 slave component 및 protocol conversion block을 설계할 수 있는 능력	반도체분야 문제 해결 능력
설계된 구조를 바탕으로 Verilog-HDL을 이용하여 HW IP를 구현 및 검증할 수 있는 능력	반도체 회로 개발 역량
구현된 HW IP가 SoC 일부로 동작할 수 있도록 SW interface 및 System bus interface를 갖도록 설계하는 능력	시스템 반도체 개발 역량

평가항목	각 항목별 만점(최대 100점)	반영비율(합계 100%)
출석	15(1~15)	20%
과제(계획서)	10(1~10)	10%
과제(중간 보고서)	10(1~10)	20%
과제(최종 보고서, Project 결과물(code))	10(1~10)	50%

주요교재 및 참고자료 (Required Texts)	주교재	강의 자료
	참고교재(대표)	1) Verilog-HDL 관련 교재 2) ARM(사) AMBA Protocol Specification (www.arm.com) 3) Cadence Xcelium user manual 4) Cadence Simvision user manual 5) Linux command & Vi editor 관련 교재
학습준비사항	1) Verilog (VI) editor (e.g. gvim) 2) SSH 지원 tool (e.g. MobaXterm) 3) Verilog Simulator (e.g. Cadence Xcelium) 4) Waveform viewer (e.g. Cadence Simvision)	
수강학생 유의 및 참고사항	1) Verilog-HDL coding 초급 이상 2) 계획서, 중간 보고서, 최종 보고서 및 연구일지 제출 필요	

강의계획서 (SYLLABUS)

2. 주차별 강의개요

주 (Week)	핵심어 (Keyword)	세부내용 (Description)	교수방법	교재범위 (Texts)
01 주차 (6/24, 화)	SoC & Bus protocol	- Overview - SoC 구조 이해 (e.g Multi-RAT Modem) - SoC bus architecture 구조 이해 - Bus architecture의 PPA(Power, Performance, Area) 이해	강의	강의 자료
02 주차 (6/25, 수)	AMBA Protocol Specification	- AMBA protocol specification 이해 (AXI protocol, AHB protocol, APB protocol 및 protocol conversion)	강의	강의 자료
03 주차 (6/26, 목)	HW description & Simulation	- 개발 환경(SSH(Secure SHell, Vi editor) 환경 setup 및 실습	강의 및 실습	강의 자료 및 VI cheat sheet
04 주차 (6/27, 금)	Simulation & debugging	- Debugging을 위한 Verilog-HDL simulation & debugging 환경 setup 및 실습	강의 및 실습	Simulator & Waveform viewer user manual
05 주차 (6/30, 월)	계획서	- Project 계획서 발표 (Block diagram, I/O description, Register map, Memory description, Data/Control path 등 및 Performance estimation 포함 필수)	발표	HDD template
06 주차 (7/1, 화)	Proejct 진행 (Each bus slave)	- Project 진행 (1)~(4)	진도 check 및 Q&A	N/A
07 주차 (7/2, 수)				
08 주차 (7/3, 목)				
09 주차 (7/4, 금)				
10 주차 (7/7, 월)	중간 보고서	- Project 중간 보고서 발표 (구현 및 미구현 구분 필수)	발표 및 feedback	강의 자료 (Reference code)
11 주차 (7/8, 화)	Project 진행 (Protocol Conversion)	- Project 진행 (5)~(8)	진도 check 및 Q&A	N/A
12 주차 (7/9, 수)				
13 주차 (7/10, 목)				
14 주차 (7/11, 금)				
15 주차 (7/14, 월)	최종 보고서	- Project 최종 보고서 발표 (연구일지, HDD, Verilog-HDL/Testbench, Simulation log, waveform 제출) - Wrap up	발표 및 평가	강의 자료

강의계획서 (SYLLABUS)

[장애학생을 위한 강의 지원 안내 내용]

※ 숭실대학교 학칙 제65조의 2에 의거하여, 장애학생은 학기 시작 전후에 교과목 담당교수와 의 면담을 통해 출석, 강의, 과제 및 평가에 관한 지원 사항을 요청할 수 있으며, 요청한 사항은 담당교수 또는 장애학생지원센터를 통해 지원받을 수 있습니다. 강의, 과제 및 평가 시, 가능한 장애유형별 지원의 예는 아래와 같습니다. 단, 실제 지원 내용은 강의 특성에 따라 달라질 수 있습니다.

[강의]

- 시각장애: 강의자료 제공, 대필 도우미 허용, 강의녹취 허용
- 지체장애: 강의자료 제공, 대필 및 수업보조 도우미 허용, 지정좌석 배정, 강의녹취 허용
- 청각장애: 강의자료 제공, 대필/수화통역 도우미 허용
- 지적장애/자폐성장애: 강의자료 제공, 대필도우미 및 수업보조 도우미 허용

[과제 및 평가]

- 시각장애/지체장애/청각장애: 과제 제출기한 연장, 과제 및 제출방식 조정, 시험시간 연장, 시험문항 및 응답 방식 조정, 별도 장소 제공, 대필도우미 연계 등
- 지적장애/자폐성장애: 개별 과제 및 대체 평가 실시 고려

※ 기타 지원이 필요한 경우 개강 전 담당 교수 또는 장애학생지원센터(02-820-0060)에 문의